

1/5/1  
DIALOG(R) File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

BEST AVAILABLE COPY

10/507117

DT09 Rec'd PCT/PTO 10 SEP 2004

07256399 \*\*Image available\*\*  
DELAY CIRCUIT AND DELAY METHOD

PUB. NO.: 2002-124858 A]  
PUBLISHED: April 26, 2002 (20020426)  
INVENTOR(s): TAKAHASHI HIROYUKI  
APPLICANT(s): NEC CORP  
APPL. NO.: 2001-097083 [JP 200197083]  
FILED: March 29, 2001 (20010329)  
PRIORITY: 2000-243317 [JP 2000243317], JP (Japan), August 10, 2000  
(20000810)  
INTL CLASS: H03K-005/14; H03H-011/26

#### ABSTRACT

PROBLEM TO BE SOLVED: To provide a delay circuit in which the delay time does not increase excessively even if the power supply voltage drops and increase of the delay time can be suppressed.

SOLUTION: The circuit for delaying a logical signal SIN having low and high logical levels has such delay characteristics as the delay time is different when the logical level of the logical signal SIN is low and high and a logical level having a shorter delay time is selected as an object to be delayed. More specifically, n-type MOS transistors N11 and N12 and p-type MOS transistors P11 and P12 making transition from off to on in the transition region of a signal appearing at each node are provided as the MOS capacitors for each node of a delay path. Since dependency of the delay time on the power supply voltage is suppressed, excess increase of the delay time is eliminated even if the power supply voltage drops.

COPYRIGHT: (C)2002, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-124858

(P2002-124858A)

(43) 公開日 平成14年4月26日 (2002.4.26)

(51) Int.Cl.	識別記号	F I	テマコード* (参考)
H 0 3 K 5/14		H 0 3 K 5/14	5 J 0 0 1
H 0 3 H 11/26		H 0 3 H 11/26	B 5 J 0 9 8

審査請求 未請求 請求項の数11 O L (全 16 頁)

(21) 出願番号 特願2001-97083(P2001-97083)

(22) 出願日 平成13年3月29日(2001.3.29)

(31) 優先権主張番号 特願2000-243317(P2000-243317)

(32) 優先日 平成12年8月10日(2000.8.10)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 高橋 弘行  
東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578  
弁理士 高橋 昭男 (外3名)

Fターム(参考) 5J001 AA04 AA11 BB08 BB10 BB11  
BB12 CC03 DD03  
5J098 AA03 AA15 AB22 AB36 AC14  
AC18 FA09

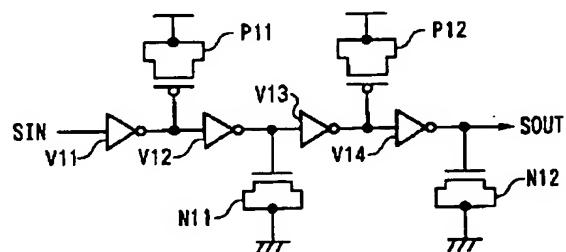
(54) 【発明の名称】 遅延回路および方法

(57) 【要約】

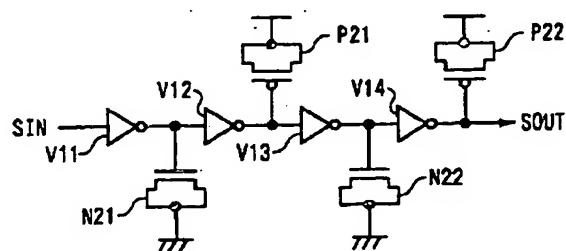
【課題】 電源電圧が低下しても遅延時間が過剰に増加せず、遅延時間の増加を抑制することが可能な遅延回路を提供すること。

【解決手段】 ロウレベル及びハイレベルの論理レベルを有する論理信号S I Nを遅延させる遅延回路において、論理信号S I Nの論理レベルがロウレベルの場合とハイレベルの場合とで遅延時間が異なる遅延特性を有し、ロウレベル及びハイレベルの論理レベルのうち、遅延時間が短い方の論理レベルを遅延対象とする。すなわち、遅延経路の各ノードに対し、各ノードに現れる信号の遷移領域において、オフ状態からオン状態に変化するn型MOSトランジスタN11、N12およびp型MOSトランジスタP11、P12をMOSキャパシタとして設ける。これにより、電源電圧に対する遅延時間の依存性が抑制され、電源電圧が低下しても、遅延時間が過剰に増加することがなくなる。

(a)



(b)



## 【特許請求の範囲】

【請求項 1】 ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、1または2以上のインバータからなるインバータチェーンと、

前記インバータの出力部に接続され、前記遅延対象の論理レベルを有する論理信号が入力された場合に前記インバータの出力部に現れる信号の遷移領域においてオフ状態からオン状態になるMOSキャパシタとを備えたことを特徴とする請求項 1 に記載された遅延回路。

【請求項 2】 ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、1または2以上のインバータからなるインバータチェーンと、

前記インバータの出力部に接続され、電源電圧に対する前記インバータの出力抵抗の変化に対応して容量値が変化するMOSキャパシタとを備えたことを特徴とする遅延回路。

【請求項 3】 前記MOSキャパシタがオン状態にあるゲート電圧範囲とオフ状態にあるゲート電圧範囲との比率は、前記インバータの出力部に現れる信号の遷移領域において電源電圧の増減に比例することを特徴とする請求項 1 または 2 に記載された遅延回路。

【請求項 4】 前記MOSキャパシタの容量値は、前記インバータの出力部に現れる信号の遷移領域において増加する方向に変化することを特徴とする請求項 1 ないし 3 の何れかに記載された遅延回路。

【請求項 5】 前記MOSキャパシタは、前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがロウレベルからハイレベルに変化するノードにゲートが接続され、ソース及びドレインがグラウンドに固定されたn型MOSトランジスタからなることを特徴とする請求項 1 ないし 4 の何れかに記載された遅延回路。

【請求項 6】 前記MOSキャパシタは、前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがハイレベルからロウレベルに変化するノードにゲートが接続され、ソース及びドレインが電源電圧に固定されたp型MOSトランジスタからなることを特徴とする請求項 1 ないし 4 の何れかに記載された遅延回路。

【請求項 7】 前記MOSキャパシタは、前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがハイレベルからロウレベルに変化するノードにソース及びドレインが接続され、ゲートが電源電圧に固定されたn型MOSトランジスタからなることを特徴とする請求項 1 ないし 4 の何れかに記載された遅延回路。

【請求項 8】 前記MOSキャパシタは、前記論理信号の伝搬経路上のノードであって、前記論理

信号の論理レベルがロウレベルからハイレベルに変化するノードにソース及びドレインが接続され、ゲートがグラウンドに固定されたp型MOSトランジスタからなることを特徴とする請求項 1 ないし 4 の何れかに記載された遅延回路。

【請求項 9】 ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、1または2以上のインバータを従属接続してなるインバータチェーンを備え、

10 遅延対象の前記論理信号の論理レベルに応じて、前記インバータを構成するp型MOSトランジスタおよびn型MOSトランジスタの各ゲート閾値電圧を互いに逆方向にシフトさせたことを特徴とする遅延回路。

【請求項 10】 ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延方法において、

(a) 初期状態において前記論理信号の伝搬経路上に接続されたMOSキャパシタをオフ状態とし、

(b) 前記論理信号に基づき前記MOSキャパシタをオフ状態からオン状態に変化させることを特徴とする遅延方法。

【請求項 11】 前記MOSキャパシタの容量値は、当該MOSキャパシタが接続された前記伝搬経路上のノードに現れる信号の遷移領域において増加する方向に変化することを特徴とする請求項 10 に記載された遅延方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ロウレベル及びハイレベルの2値の論理レベルを有する論理信号を遅延させるための遅延回路および方法に関し、特に電源電圧に対する遅延時間の依存性を抑えるための技術に関する。

【0002】

【従来の技術】従来、半導体装置では、各回路を動作させる上で必要とされる信号のタイミングを得るために遅延回路を用いている。図16に、従来技術にかかる遅延回路の構成例を示す。同図に示す例は、複数のインバータJV1～JV4によりインバータチェーンを構成し、各インバータの出力部とグラウンドとの間にはn型MOSトランジスタJN1～JN4を接続したものである。これらn型MOSトランジスタJN1～JN4のゲートは、インバータJV1～JV4の出力部にそれぞれ接続され、これらn型MOSトランジスタJN1～JN4のソース及びドレインはグラウンドに接続されている。

【0003】この従来技術にかかる遅延回路によれば、n型MOSトランジスタJN1～JN4がMOS容量を形成し、各インバータに容量性の負荷が接続されるため、各インバータの出力信号の変化が緩やかとなり、この遅延回路を通過する信号に遅延が生じる。

【0004】

【発明が解決しようとする課題】ところで、近年、デバイス構造の微細化に伴う各種の耐圧の低下と低消費電力化の観点から、半導体装置の電源電圧を低下させ、内部回路を低電圧で動作させるのが通例となっている。しかしながら、上述の従来技術にかかる遅延回路によれば、電源電圧が低下すると、通常の論理回路系での遅延量に対して遅延時間が過剰に増大し、各信号のタイミング関係が満足されなくなるという問題がある。

【0005】以下、この問題を詳細に説明する。DRAMなどの半導体装置では、例えばデコーダ内部にアドレス信号線が長い距離にわたって配線されており、この配線自体が寄生抵抗と寄生容量を有している。図17に、この種の信号線SLと、この信号線を駆動するためのドライバD（インバータ）とを示す。この信号線SLの先には否定的論理積（NAND）などの論理ゲートの入力部が接続される。同図において、ドライバDから上述の論理ゲートに信号を送る場合、ドライバDは信号線SLに寄生する負荷を駆動する。このとき、信号線SL上の信号のレベルは、信号線SLの寄生抵抗Rと、ドライバD自体の出力抵抗（すなわち、駆動用トランジスタのオン抵抗）と、信号線SLの寄生容量Cとにより定まる時定数に従って変化する。

【0006】ここで、ドライバDを構成する駆動用トランジスタのオン抵抗は、電源電圧の依存性を有し、電源電圧が低下すると、電源電圧の2乗に比例して増加するものの、信号線の寄生抵抗は電源電圧の依存性を有しない。したがって、一般に、配線の寄生抵抗を負荷として有する回路系では、信号の遅延時間は電源電圧に対して大きな依存性を持たない傾向を示す。

【0007】これに対し、上述の図16に示す遅延回路の場合、各インバータの出力部に接続された配線は短いため、実質的な配線抵抗は存在せず、MOSキャパシタと共に時定数として寄与する抵抗成分は、各インバータを構成するトランジスタのオン抵抗が支配的である。このため、従来の遅延回路によれば、図18に示すように、一般の論理回路系に比較して電源電圧に対する遅延時間の依存性が大きくなり、電源電圧の低下に伴って遅延時間が過剰となる。この結果、内部の論理回路系を経由した信号と、遅延回路を経由した信号との間にタイミング上のずれが生じ、これらの信号を受けて動作する回路が誤動作する場合がある。

【0008】この発明は、上記事情に鑑みてなされたものであって、電源電圧が低下しても遅延時間が過剰に増加せず、遅延時間の増加を抑制することが可能な遅延回路および方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するため、この発明は以下の構成を有する。すなわち、この発明にかかる遅延回路は、ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路にお

て、1または2以上のインバータからなるインバータチェーンと、前記インバータの出力部に接続され、前記遅延対象の論理レベルを有する論理信号が入力された場合に前記インバータの出力部に現れる信号の遷移領域においてオフ状態からオン状態になるMOSキャパシタとを備えたことを特徴とする。

【0010】この発明にかかる遅延回路は、ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、1または2以上のインバータからなるインバータチェーンと、前記インバータの出力部に接続され、電源電圧に対する前記インバータの出力抵抗の変化に対応して容量値が変化するMOSキャパシタとを備えたことを特徴とする。

【0011】前記遅延回路において、前記MOSキャパシタがオン状態にあるゲート電圧範囲とオフ状態にあるゲート電圧範囲との比率は、前記インバータの出力部に現れる信号の遷移領域において電源電圧の増減に比例することを特徴とする。前記遅延回路において、前記MOSキャパシタの容量値は、前記インバータの出力部に現れる信号の遷移領域において増加する方向に変化することを特徴とする。前記遅延回路において、前記MOSキャパシタは、前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがロウレベルからハイレベルに変化するノードにゲートが接続され、ソース及びドレインがグランドに固定されたn型MOSトランジスタからなることを特徴とする。

【0012】前記遅延回路において、前記MOSキャパシタは、例えば、前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがハイレベルからロウレベルに変化するノードにゲートが接続され、ソース及びドレインが電源電圧に固定されたp型MOSトランジスタからなることを特徴とする。前記遅延回路において、前記MOSキャパシタは、例えば、前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがハイレベルからロウレベルに変化するノードにソース及びドレインが接続され、ゲートが電源電圧に固定されたn型MOSトランジスタからなることを特徴とする。前記遅延回路において、前記MOSキャパシタは、例えば、前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがロウレベルからハイレベルに変化するノードにソース及びドレインが接続され、ゲートがグランドに固定されたp型MOSトランジスタからなることを特徴とする。

【0013】この発明にかかる遅延回路は、ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、1または2以上のインバータを従属接続してなるインバータチェーンを備え、遅延対象の前記論理信号の論理レベルに応じて、前記インバータを構成するp型MOSトランジスタおよびn型MOSトランジスタの各ゲート閾値電圧を互いに逆方向にシフト

させたことを特徴とする。

【0014】この発明にかかる遅延方法は、ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延方法において、(a)初期状態において前記論理信号の伝搬経路上に接続されたMOSキャパシタをオフ状態とし、(b)前記論理信号に基づき前記MOSキャパシタをオフ状態からオン状態に変化させることを特徴とする。前記遅延方法において、前記MOSキャパシタの容量値は、例えば、当該MOSキャパシタが接続された前記伝搬経路上のノードに現れる信号の遷移領域において増加する方向に変化することを特徴とする。

【0015】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

<実施の形態1>図1に、この発明の実施の形態1にかかる遅延回路の構成を示す。この遅延回路は、ロウレベル及びハイレベルの論理レベルを有する論理信号SINを遅延させて信号SOUTとして出力するものであって、入力する論理信号SINの論理レベルがロウレベルの場合とハイレベルの場合とで遅延時間が異なる遅延特性を有し、この論理信号SINの論理レベルとして与えられるロウレベル及びハイレベルの論理レベルのうち、遅延時間が短い方の論理レベルを遅延対象とする遅延系から構成されている。同図に示す例では、論理信号SINのハイレベルを遅延対象とし、論理信号SINがロウレベルからハイレベルに変化した場合に論理信号SINを遅延させるように機能する。

【0016】以下、この遅延回路の構成を詳細に説明する。図1に示すように、この遅延回路は、インバータV11～V14からなるインバータチェーンと、p型MOSトランジスタP11、P12、およびn型MOSトランジスタN11、N12とから構成される。インバータV11～V14は、p型MOSトランジスタとn型MOSトランジスタとによりMOS構成されたものである。具体的には、これらの各インバータを構成するp型MOSトランジスタおよびn型MOSトランジスタの各ソースは電源およびグランドにそれぞれ接続され、各ゲートは共通接続されてインバータの入力部とされ、各ドレインは共通接続されてインバータの出力部とされる。

【0017】また、p型MOSトランジスタP11、P12は、インバータV11、V13の出力部にそれぞれ接続され、遅延対象の論理レベルを有する論理信号が入力された場合にインバータV11、V13の出力部に現れる信号の遷移領域においてオフ状態からオン状態になるMOSキャパシタとして寄与する。具体的には、p型MOSトランジスタP11のゲートはインバータV11の出力部に接続され、そのソース及びドレインは電源に接続されている。p型MOSトランジスタP11のゲートは、インバータV13の出力部に接続され、そのソース及びドレインは、電源に接続されている。

【0018】また、n型MOSトランジスタN11、N12は、インバータV12、V14の出力部にそれぞれ接続され、遅延対象の論理レベルを有する論理信号が入力された場合にインバータV12、V14の出力部に現れる信号の遷移領域においてオフ状態からオン状態になるMOSキャパシタとして寄与する。具体的には、n型MOSトランジスタN11のゲートはインバータV12の出力部に接続され、そのソース及びドレインはグランドに接続されている。n型MOSトランジスタN11のゲートは、インバータV14の出力部に接続され、そのソース及びドレインは、グランド電源に接続されている。

【0019】このように、MOSキャパシタをなすp型MOSトランジスタP11、P12は、論理信号SINの伝搬経路上のノードであって論理信号SINの論理レベルがハイレベルからロウレベルに変化するノードにゲートが接続されており、同じくMOSキャパシタをなすn型MOSトランジスタN11、N12は、論理信号SINの伝搬経路上のノードであって論理信号SINの論理レベルがロウレベルからハイレベルに変化するノードにゲートが接続されている。すなわち、この実施の形態1では、論理信号SINとして遅延対象のハイレベルが入力された場合に、出力信号がハイレベルからロウレベルに変化するインバータの出力部に対しp型MOSトランジスタからなるMOSキャパシタを設け、出力信号がロウレベルからハイレベルに変化するインバータの出力部に対しn型MOSトランジスタからなるMOSキャパシタを設けている。

【0020】ここで、MOSキャパシタをなすp型MOSトランジスタP11、P12およびn型MOSトランジスタN11、N12のゲート閾値電圧 $V_t$ は、標準的なトランジスタのゲート閾値電圧よりも高く設定されている。以下、この発明において、「高 $V_t$ 」と記す場合は、標準よりも高いゲート閾値電圧 $V_t$ を意味し、「低 $V_t$ 」と記す場合は、標準のゲート閾値電圧を意味するものとする。ただし、「高 $V_t$ 」と「低 $V_t$ 」の意味内容は、これに限定されるものではなく、相対的に大小関係にある2種類のゲート閾値電圧に対して用いられる。

【0021】なお、この実施の形態1では、論理信号SINのハイレベルを遅延対象とするが、ロウレベルを遅延対象とする場合には、図1(b)に示す構成を採用すればよい。すなわち、この場合の遅延回路は、上述の図1(a)に示す構成において、p型MOSトランジスタP11、P12に代えてn型MOSトランジスタN21、N22を備え、n型MOSトランジスタN11、N12に代えてp型MOSトランジスタP21、P22を備えて構成される。

【0022】ここで、p型MOSトランジスタP21、P22は、インバータV11、V13の出力部にそれぞれ接続され、遅延対象の論理レベル(ハイレベル)を有

する論理信号が入力された場合にインバータV11, V13の出力部に現れる信号の遷移領域においてオフ状態からオン状態になるMOSキャパシタとして寄与する。n型MOSトランジスタN21, N22は、インバータV12, V14の出力部にそれぞれ接続され、遅延対象の論理レベル（ハイレベル）を有する論理信号が入力された場合にインバータV12, V14の出力部に現れる信号の遷移領域においてオフ状態からオン状態になるMOSキャパシタとして寄与する。

【0023】以下、図1(a)を参照して、この実施の形態1の動作（論理信号の遅延方法）を説明する。初期状態において、論理信号SINの論理レベルは、ロウレベルにあるものとする。この場合、インバータV11, V13の出力信号はハイレベルにあり、インバータV12, V14の出力信号はロウレベルにある。したがって、論理信号SINの伝搬経路上に接続されたMOSキャパシタ、すなわちp型MOSトランジスタP11, P12およびn型MOSトランジスタN11, N12はオフ状態とされる。なお、この発明において、MOSキャパシタがオフ状態にあるということは、このMOSキャパシタを構成するMOSトランジスタにはチャネルが形成されていないことを意味し、MOSキャパシタがオン状態にあるということは、このMOSキャパシタを構成するMOSトランジスタにチャネルが形成されていることを意味するものとする。

【0024】次に、あるタイミングで論理信号SINがロウレベルからハイレベルに変化すると、これを受けて、インバータV11~V14の出力信号が順次変化する。このとき、初期状態においてオフ状態にあったp型MOSトランジスタ、n型MOSトランジスタN11、p型MOSトランジスタP12、n型MOSトランジスタN12が、オフ状態からオン状態に変化する。即ち、論理信号SINに基づき、MOSキャパシタをなすp型MOSトランジスタP11, P12およびn型MOSトランジスタN11, N12がオフ状態からオン状態に順次変化する。

【0025】MOSキャパシタをなすp型MOSトランジスタP11, P12およびn型MOSトランジスタN11, N12は、オフ状態ではチャネルが形成されていないのでMOSキャパシタの容量値が小さく、オン状態ではチャネルが形成されているのでMOSキャパシタの容量値が大きくなる。したがって、MOSキャパシタを構成するこれらp型MOSトランジスタP11, P12およびn型MOSトランジスタN11, N12の容量値は、インバータV11~V14の各出力部に現れる信号の遷移領域において増加する方向に変化する。

【0026】ここで、p型MOSトランジスタP11, P12およびn型MOSトランジスタN11, N12が初期状態においてオフ状態にあるため、これらMOSキャパシタが初期状態でオン状態にある場合に比較して、

論理信号SINに対して与えられる遅延時間が相対的に短くなる。すなわち、この遅延回路は、論理信号SINに対して与えられる遅延時間が短くなるように、ハイレベルとロウレベルとで遅延時間が異なる遅延特性を有している。ただし、遅延時間の短縮量は、遅延対象のハイレベルの論理信号SINに対して必要な遅延時間が与えられることを限度とする。このような遅延特性により、遅延対象の論理レベルに与えられる遅延時間を有効に抑え、電源電圧に対する遅延時間の依存性を抑制する。

【0027】この実施の形態1では、遅延対象の論理信号の遷移領域において、MOSキャパシタをオフ状態からオン状態に変化させ、このMOSキャパシタの容量値を増加する方向に変化させているが、見方を変えれば、MOSキャパシタをなすp型MOSトランジスタP11, P12およびn型MOSトランジスタN11, N12は、電源電圧に対するインバータV11~V14の出力抵抗の変化に対応してその容量値が変化するように振る舞うものと言える。例えば、電源電圧が低下して、トランジスタの駆動電流が減少し、見かけ上のオン抵抗が増加すると、MOSキャパシタの容量値が相対的に減少し、遅延量の増加を抑制する。

【0028】さらに、見方を変えれば、遅延回路をなす各インバータの出力部に現れる信号の遷移領域において、MOSキャパシタがオン状態にあるゲート電圧範囲とオフ状態にあるゲート電圧範囲との比率が、電源電圧の増減に比例するものであると言える。例えば図1(a)に示すn型MOSトランジスタN11を例として具体的に説明すると、n型MOSトランジスタN11がオン状態にあるゲート電圧範囲とは、このn型MOSトランジスタN11のゲート閾値電圧 $V_t$ から電源電圧までのゲート電圧の範囲を指し、n型MOSトランジスタN11がオフ状態にあるゲート電圧範囲とは、グランドからこのn型MOSトランジスタN11のゲート閾値電圧 $V_t$ までのゲート電圧の範囲を指す。

【0029】ここで、電源電圧に対してゲート閾値電圧 $V_t$ は一定であるから、n型MOSトランジスタN11がオフ状態にあるゲート電圧範囲は、電源電圧の変化に対して一定である。これに対し、n型MOSトランジスタN11がオン状態にあるゲート電圧範囲は、電源電圧が変化した分だけ変化する。結局、MOSキャパシタがオン状態にあるゲート電圧範囲とオフ状態にあるゲート電圧範囲との比率が、電源電圧の増減に比例することとなる。

【0030】以上説明したように、この実施の形態1によれば、初期状態でMOSキャパシタをオフ状態とし、遅延対象の論理信号に基づきオン状態に変化させるようにしたので、必要な遅延時間が得られると共に、この遅延時間の電源電圧依存性を抑制することが可能となる。したがって、電源電圧が低下しても、遅延時間が過剰に増加することがなくなり、遅延回路の遅延特性（すなわ



ち電源電圧に対する依存性)と、配線負荷を駆動する論理回路系の遅延特性とを整合させることが可能となる。よって、電源電圧の変化に対し、遅延回路と他の論理回路系とをそれぞれ経由した信号間のタイミングを安定的に維持することが可能となり、これらの信号を受けて動作する回路の誤動作を防止することが可能となる。

【0031】<実施の形態2>以下、この発明の実施の形態2を説明する。図2に、この実施の形態2にかかる遅延回路の構成例を示す。上述の実施の形態1では、論理信号SINに基づき出力信号がハイレベルからロウレベルに変化するインバータの出力部にp型MOSトランジスタからなるMOSキャパシタを設け、出力信号がロウレベルからハイレベルに変化するインバータの出力部にn型MOSトランジスタからなるMOSキャパシタを設けたが、この実施の形態2では、論理信号SINに基づき出力信号がハイレベルからロウレベルに変化するインバータの出力部、または出力信号がロウレベルからハイレベルに変化するインバータの出力部の何れかの方にMOSキャパシタを設ける。

【0032】図2に、この実施の形態2にかかる遅延回路の構成例を示す。図2(a)に示す例は、上述の図1(a)に示す実施の形態1にかかる構成において、MOSキャパシタとしてのn型MOSトランジスタN11、N12を省き、高Vtのp型MOSトランジスタP11、P12のみを用いたものである。この構成によれば、インバータV11、V13の出力信号がハイレベルからロウレベルに変化する場合にp型MOSトランジスタP11、P12がオフ状態からオン状態に変化し、これらインバータの出力信号の遷移領域においてMOSキャパシタの容量値が増加する方向に変化する。したがって、MOSキャパシタとしてp型MOSトランジスタのみを用いて電源電圧依存性の少ない遅延回路を実現することができ、しかも図1(a)に示す構成と比較して回路構成を簡略化することができる。

【0033】図2(b)に示す例は、上述の図1(b)に示す構成において、MOSキャパシタとしてのp型MOSトランジスタP21、P22を省き、高Vtのn型MOSトランジスタN21、N22のみを用いたものである。この構成によれば、インバータV11、V13の出力信号が、ロウレベルからハイレベルに変化する場合にn型MOSトランジスタN21、N22がオフ状態からオン状態に変化し、これらインバータの出力信号の遷移領域においてMOSキャパシタの容量値が増加する方向に変化する。したがって、MOSキャパシタとしてn型MOSトランジスタのみを用いて電源電圧依存性の少ない遅延回路を実現することができ、しかも図1(b)に示す構成と比較して回路構成を簡略化することができる。

【0034】<実施の形態3>以下、実施の形態3を説明する。図3に、この実施の形態3にかかる遅延回路の

構成例を示す。同図に示す例は、上述の図1(a)に示す実施の形態1にかかる構成において、MOSキャパシタとして、p型MOSトランジスタP11、P12に代えて高Vtのn型MOSトランジスタN31、N32を備え、n型MOSトランジスタN11、N12に代えて高Vtのp型MOSトランジスタP31、P32を備える。

【0035】ここで、n型MOSトランジスタN31のドレイン及びソースはインバータV11の出力部に共通接続され、n型MOSトランジスタN32のドレイン及びソースはインバータV13の出力部に接続され、これらn型MOSトランジスタN31、N32のゲートは共に電源電圧VDDに固定される。また、p型MOSトランジスタP31のドレイン及びソースはインバータV12の出力部に接続され、p型MOSトランジスタP32のドレイン及びソースはインバータV14の出力部に接続され、これらp型MOSトランジスタP31、P32のゲートは共に電源電圧VDDに固定される。すなわち、MOSキャパシタをなすn型MOSトランジスタのソース及びドレインは、論理信号SINの伝搬経路上のノードであって、この論理信号SINの論理レベルがハイレベルからロウレベルに変化するノードに接続され、ゲートが電源電圧に固定されている。また、同じくMOSキャパシタをなすp型MOSトランジスタのソース及びドレインは、論理信号SINの伝搬経路上のノードであって、この論理信号SINの論理レベルがロウレベルからハイレベルに変化するノードに接続され、ゲートがグラウンドに固定されている。

【0036】この構成によれば、インバータV11、V13の出力信号がハイレベルからロウレベルに変化する場合、n型MOSトランジスタN31、N32がオフ状態からオン状態に変化し、これらインバータの出力信号の遷移領域においてMOSキャパシタの容量値が増加する方向に変化する。また、インバータV12、V14の出力信号がロウレベルからハイレベルに変化する場合、p型MOSトランジスタP31、P32がオフ状態からオン状態に変化し、これらインバータの出力信号の遷移領域においてMOSキャパシタの容量値が増加する方向に変化する。したがって、上述の図1(a)に示す実施の形態1にかかる遅延回路と同様に、電源電圧依存性の少ない遅延回路を実現することができる。

【0037】なお、上述の図1(a)に示す構成と図3に示す構成との対応関係にならって、上述の図1(b)に示す実施の形態1の構成において、p型MOSトランジスタP21、P22及びn型MOSトランジスタN21、N22に代えて、図3に示すn型MOSトランジスタN31、N32及びp型MOSトランジスタP31、P32を設けてもよい。また、特に説明しないが、図2に示す実施の形態2にかかる構成において、各MOSキャパシタとして、ソース及びドレインが各インバータの

出力部に接続され、ゲートが電源電圧またはグラウンドに固定されたMOSトランジスタを設けてもよい。

【0038】<実施の形態4>以下、この発明の実施の形態4を説明する。図4に、この実施の形態4にかかる遅延回路の構成例を示す。この遅延回路は、前述の図2(b)に示す遅延回路を応用したもので、遅延経路上に否定的論理和ゲートV43、V45を設けることにより、論理信号がハイレベルに復帰した場合に、遅延回路の内部状態を速やかに元の状態に復帰させるように構成されたものである。

【0039】同図において、インバータV41、V42および高V<sub>t</sub>のn型MOSトランジスタN41は、図2(b)に示す構成と同様の思想に基づく遅延経路を形成し、論理信号S<sub>IN</sub>を遅延させて否定的論理和ゲートV43の一方の入力部に与える。この否定的論理和ゲートV43の他方の入力部には、論理信号S<sub>IN</sub>が直接的に与えられる。否定的論理和ゲートV43と高V<sub>t</sub>のn型MOSトランジスタN42とインバータV44も図2(b)に示す構成と同様の思想に基づく遅延経路を形成し、インバータV42の出力信号を遅延させて否定的論理和ゲートV45の一方の入力部に与える。この否定的論理和ゲートV45の他方の入力部には、上述の論理信号S<sub>IN</sub>が直接的に与えられる。否定的論理和ゲートV45の出力信号は、インバータV46に与えられ、信号S<sub>OUT</sub>として出力される。

【0040】この実施の形態4では、初期状態で論理信号S<sub>IN</sub>がハイレベルにあり、この状態から論理信号がロウレベルに変化すると、この論理信号S<sub>IN</sub>が、インバータV41、n型MOSトランジスタN41、インバータV42からなる遅延系と、否定的論理和ゲートV43、n型MOSトランジスタN42、インバータV44からなる遅延系を経て否定的論理和ゲートV45に与えられ、この否定的論理和ゲートV45およびインバータV46を経て信号S<sub>OUT</sub>として出力される。したがって、論理信号S<sub>IN</sub>は遅延されて信号S<sub>OUT</sub>として出力される。これに対し、論理信号S<sub>IN</sub>がロウレベルからハイレベルに変化した場合、否定的論理和ゲートV43、V44の出力信号が強制的にロウレベルとされ、この遅延回路の内部状態が初期状態に速やかに戻される。したがって、この実施の形態4によれば、電源電圧の依存性を抑えながら遅延対象の論理信号S<sub>IN</sub>のロウレベルを有効に遅延させ、しかも次に入力される論理信号S<sub>IN</sub>のロウレベルに速やかに対処することが可能となる。

【0041】<実施の形態5>この発明の実施の形態5を説明する。図5に、この実施の形態5にかかる遅延回路の構成例を示す。上述の実施の形態1ないし4は、ロウレベルまたはハイレベルの何れかを遅延対象とするものであるが、この実施の形態5にかかる遅延回路は、ロウレベル及びハイレベルの双方を遅延対象とするもので

ある。図5に示す遅延回路は、論理信号S<sub>IN</sub>を入力するインバータV51と、ロウレベルを遅延させる遅延系D51、D52と、ハイレベルを遅延させる遅延系D53、D54と、p型MOSトランジスタP51、P52およびn型MOSトランジスタN51、N52とから構成される。ただし、遅延系D51、D52は、前述の図1(b)に示す構成と同様の構成を有し、遅延系D53、D54は、前述の図1(a)に示す構成と同様の構成を有する。

【0042】さらに具体的に構成を説明する。インバータV51の出力部には遅延系D51の入力部が接続され、この遅延系D51の出力部には遅延系D52の入力部が接続される。また、インバータV51の出力部には遅延系D53の入力部が接続され、この遅延系D53の出力部には遅延系D54の入力部が接続される。p型MOSトランジスタP51のソースは電源に接続され、そのゲートには遅延系D52の出力部が接続される。p型MOSトランジスタP52のソースは、上述のp型MOSトランジスタP51のドレインに接続され、そのゲートには遅延系D53の出力部が接続される。n型MOSトランジスタN51のソースはグラウンドに接続され、そのゲートには遅延系D54の出力部が接続される。n型MOSトランジスタN52のソースは上述のn型MOSトランジスタN51のドレインに接続され、そのゲートには遅延系D51の出力部が接続される。p型MOSトランジスタP52のドレインとn型MOSトランジスタN52のドレインとの接続点は、この遅延回路の出力部とされる。

【0043】次に、この実施の形態5の動作を説明する。論理信号S<sub>IN</sub>がロウレベルからハイレベルに変化した場合、インバータV51の出力信号がハイレベルからロウレベルに変化する。このインバータV51の出力信号は、遅延系D51により遅延されてn型MOSトランジスタN52のゲートに与えられ、このn型MOSトランジスタN52をオフ状態とし、さらに遅延系D52により遅延されてp型MOSトランジスタP51のゲートに与えられ、このp型MOSトランジスタP51をオン状態とする。一方、インバータV51の出力信号は、遅延系D53により遅延されてp型MOSトランジスタP52のゲートに与えられ、このp型MOSトランジスタP52をオン状態とし、さらに遅延系D54により遅延されてn型MOSトランジスタN51のゲートに与えられ、このn型MOSトランジスタN51をオフ状態とする。

【0044】ここで、p型MOSトランジスタP51、P52およびn型MOSトランジスタN51、N52の各動作状態に着目すると、p型MOSトランジスタP51がオン状態に制御される過程において、先ずp型MOSトランジスタP52およびn型MOSトランジスタN52がそれぞれオン状態およびオフ状態に制御される。



したがって、信号SOUTは、遅延系D51、D52を経てp型MOSトランジスタP51に与えられる信号に基づきハイレベルになる。すなわち、インバータV51から出力されるロウレベルが、遅延系D51、D52により遅延され、この遅延系D51、D52により遅延された信号に基づき信号SOUTがハイレベルとなる。

【0045】上述の場合と同様に、論理信号SINがハイレベルからロウレベルに変化した場合には、インバータV51から出力されるハイレベルが、遅延系D53、D54により遅延され、この遅延系D53、D54により遅延された信号に基づき信号SOUTがロウレベルとなる。この実施の形態5によれば、ロウレベルを遅延対象とする遅延経路と、ハイレベルを遅延対象とする遅延経路を備えたので、論理信号SINがロウレベルからハイレベルに変化した場合と、論理信号SINがハイレベルからロウレベルに変化した場合の両方の信号変化に対処することが可能となる。

【0046】＜実施の形態6＞以下、この発明の実施の形態6を説明する。上述の実施の形態1ないし5は、論理信号の論理レベルを単に遅延させるためのものであるが、この実施の形態6は、ワンショットパルスが発生するパルス発生回路として構成される。図6に、この実施の形態6にかかる遅延回路が適用されたパルス発生回路の構成を示す。同図に示すパルス発生回路は、遅延系D61と論理積ゲートV61と遅延系D62と否定的論理積ゲートV62と、論理積ゲートV63から構成される。ただし、遅延系D61、D62は、前述の図1

(a)に示す構成と同様の構成を有する。

【0047】さらに具体的に構成を説明する。遅延系D61の入力部には、論理信号SINが与えられる。論理積ゲートV61の一方の入力部には遅延系D61の出力部が接続され、この他方の入力部には論理信号SINが与えられる。遅延系D62の入力部には論理積ゲートV61の出力部が接続される。否定的論理積ゲートV62の一方の入力部には遅延系D62の出力部が接続され、その他方の入力部には論理積ゲートV61の出力部が接続される。論理積ゲートV63の一方の入力部には否定的論理積ゲートV62の出力部が接続され、その他方の入力部には論理信号SINが直接与えられる。

【0048】次に、この実施の形態6の動作を説明する。初期状態において、論理信号SINがロウレベルにあるものとする。この初期状態では、否定的論理積ゲートV62から論理積ゲートV63に与えられる信号はロウレベルとなっており、信号SOUTはロウレベルとなっている。この状態から論理信号SINがロウレベルからハイレベルに変化すると、論理積ゲートV63は、これを受けて信号SOUTをハイレベルとする。また、論理信号SINのハイレベルは、遅延系D61により遅延されて論理積ゲートV61の一方の入力部に与えられる。このとき、論理積ゲートV61の他方の入力部に直

接与えられている論理信号SINは既にハイレベルになっているので、論理積ゲートV61の出力信号は、遅延系D61を経た信号に基づいてハイレベルに変化する。

【0049】この論理積ゲートV61の出力信号は、遅延系D62により遅延されて否定的論理積ゲートV62の一方の入力部に与えられる。このとき、論理積ゲートV61から否定的論理積ゲートV62の他方の入力部に与えられる信号は既にハイレベルになっているので、否定的論理積ゲートV62の出力信号は、遅延系D62を経た信号に基づいてロウレベルに変化する。論理積ゲートV63は、この否定的論理積ゲートV62の出力信号を受けて信号SOUTをロウレベルとする。結局、論理信号SINがロウレベルからハイレベルに変化すると、遅延系D61、D62での遅延時間に相当するパルス幅を有するワンショットパルスが信号SOUTとして出力される。この実施の形態6によれば、論理信号SINがロウレベルからハイレベルに変化した場合、電源電圧に対する依存性が抑制されたパルス幅を有するワンショットパルスが発生することができる。したがって、電源電圧が低下しても、概ねパルス幅を一定に保つことができる。

【0050】＜実施の形態7＞以下、この発明の実施の形態7を説明する。上述の実施の形態1ないし6では、MOSキャパシタを構成するMOSトランジスタの基板のバイアス方法について特に明記していないが、通常のバイアス方法に従えば、MOSキャパシタとして機能するn型MOSトランジスタの基板（またはウェル）はグラウンド電位にバイアスされ、p型MOSトランジスタの基板（またはウェル）は電源電圧にバイアスされる。これに対し、この実施の形態7では、MOSキャパシタを構成するMOSトランジスタの基板バイアス量を高くして基板効果を利用することにより、見かけ上のゲート閾値電圧を高くする。

【0051】図7に、この実施の形態7にかかる遅延回路の特徴部を示す。同図において、インバータV71、V72は、例えば前述の図1(a)に示すインバータV11、V12に対応し、MOSキャパシタをなすp型MOSトランジスタP72およびn型MOSトランジスタN73は、図1(a)に示すp型MOSトランジスタP11およびn型MOSトランジスタN11に対応する。ただし、この実施の形態にかかるp型MOSトランジスタP72の基板（またはウェル）は、電源電圧VDDよりもさらに $\alpha$ だけ高い電位「 $VDD + \alpha$ 」にバイアスされ、n型MOSトランジスタN73の基板（またはウェル）は、グラウンド電位VGNDよりもさらに $\beta$ だけ低い電位「 $VGND - \beta$ 」にバイアスされている。「 $\alpha$ 」および「 $\beta$ 」なる定数は、基板バイアス量を表し、必要とするMOSキャパシタのゲート閾値電圧に応じて設定される。

【0052】また、インバータV71、V72を構成す

るp型MOSトランジスタの基板は電圧VDにバイアスされ、n型MOSトランジスタの基板は電圧VGにバイアスされている。ここで、電圧VDは、この遅延回路が搭載された半導体装置がアクティブ時に電源電圧VDDとなり、スタンバイ時に「 $VDD + \alpha$ 」となる。また、電圧VGは、アクティブ時にグラウンド電圧VGNDとなり、スタンバイ時に「 $VGND - \beta$ 」となる。この実施の形態7によれば、MOSキャパシタの基板バイアス量を制御することにより、MOSキャパシタを構成するMOSトランジスタのゲート閾値電圧を任意に設定することができる。したがって、デバイス自体の特性として2種類のゲート閾値電圧を準備する必要がなくなる。

【0053】<実施の形態8>以下、この発明の実施の形態8を説明する。上述の実施の形態1ないし7では、ロウレベルおよびハイレベルの各遅延時間が異なるようにMOSキャパシタを用いて遅延回路を構成したが、この実施の形態8では、遅延回路内のインバータを構成するp型MOSトランジスタとn型MOSトランジスタの各ゲート閾値電圧を高Vtまたは低Vtの何れかに選択的に設定することにより、ロウレベルおよびハイレベルの各遅延時間を異ならせる。

【0054】図8(a)に、この実施の形態8にかかる遅延回路の構成上の特徴部を示す。同図に示すように、この遅延回路は、論理信号SINのハイレベルを遅延対象とするものであって、インバータV81およびインバータV82を従属接続したインバータチェーンを備えて構成される。ここで、遅延対象の論理信号の論理レベルに応じて、各インバータを構成するp型MOSトランジスタおよびn型MOSトランジスタの各ゲート閾値電圧は、標準的な各ゲート閾値電圧に対して互いに逆方向にシフトされている。具体的には、インバータV81を構成するp型MOSトランジスタP81のゲート閾値電圧は高Vtに設定され、n型MOSトランジスタN81のゲート閾値電圧は低Vtに設定されている。また、その後段に接続されたインバータV82を構成するp型MOSトランジスタP82のゲート閾値電圧は低Vtに設定され、n型MOSトランジスタN82のゲート閾値電圧は高Vtに設定されている。これにより、前段のインバータV81の入力閾値は低く設定され、後段のインバータV82の入力閾値は高く設定される。なお、この例では、ハイレベルの論理信号を遅延対象としているが、ロウレベルを遅延対象とする場合には、前段のインバータV81を構成するp型MOSトランジスタP81のゲート閾値電圧を低Vtとし、n型MOSトランジスタN81のゲート閾値電圧を高Vtとし、また、その後段に接続されたインバータV82を構成するp型MOSトランジスタP82のゲート閾値電圧を高Vtとし、n型MOSトランジスタN82のゲート閾値電圧を低Vtとすればよい。

【0055】この実施の形態8によれば、図8(b)に

示すように、通常のインバータの入力閾値（この例では0.5V）を基準として、インバータV81の入力閾値は、電源電圧の低下に伴って低下する傾向を示し、逆にインバータV82の入力閾値は、電源電圧の低下に伴って上昇する傾向を示す。これにより、電源電圧の低い領域で、遅延回路としての入力閾値は低下し、論理信号SINのハイレベルの遅延時間が、ロウレベルの遅延時間に対して相対的に短くなる。この結果、必要な遅延時間が得られる限度において、論理信号のハイレベルの遅延時間を短縮することができ、この遅延時間の電源電圧に対する依存性を有効に抑制することができる。

【0056】図9に、この実施の形態8にかかる遅延回路の変形例を示す。同図に示す例は、半導体装置をアクティブ状態またはスタンバイ状態に制御するためのチップセレクト信号により、スタンバイ時に低VtのMOSトランジスタをリークする電流をカットするように構成されたものである。すなわち、同図において、インバータV91を構成する低Vtのn型MOSトランジスタのソースと、インバータV93を構成する低Vtのn型MOSトランジスタのソースは、高Vtのn型MOSトランジスタN91を介してグラウンドに接続される。また、インバータV92を構成する低Vtのp型MOSトランジスタのソースと、インバータV94を構成する低Vtのp型MOSトランジスタのソースは、高Vtのp型MOSトランジスタP91を介して電源に接続される。

【0057】この変形例によれば、スタンバイ時に論理信号SINがロウレベルに固定されると、n型MOSトランジスタN91およびp型MOSトランジスタP91が、チップセレクト信号CS、 $\overline{CS}$ に基づきオフ状態に制御される。ここで、インバータV91、V93を構成する低Vtの各n型MOSトランジスタはオフ状態となるが、これらは低Vtのトランジスタであるため、リーク電流が発生しやすい。しかしながら、これらの低Vtのn型MOSトランジスタでリーク電流が発生したとしても、高Vtのn型MOSトランジスタN91がオフ状態にあるため、リーク電流の発生が抑えられる。同様に、スタンバイ時に、インバータV92、V94を構成する低Vtのp型MOSトランジスタでリーク電流が発生しても、高Vtのp型MOSトランジスタP91でリーク電流が抑えられる。したがって、この第1の変形例によれば、電源電圧の依存性が抑制され、しかもスタンバイ時の消費電流を有効に抑制することが可能となる。

【0058】この変形例は、各インバータの入力閾値により遅延時間の電源依存性を抑制するものとしたが、前述の例えば実施の形態1のように、MOSキャパシタにより電源電圧の依存性を抑制するものとしてもよい。図10に、上述の図9に示す変形例において、MOSキャパシタを採用した場合の構成例を示す。この構成例は、上述の変形例の構成において、MOSキャパシタをなすp型MOSトランジスタP92、P93およびn型MO

SトランジスタN92, N93をさらに備えて構成たものである。ただし、インバータV91~V94の入力閾値は標準値に設定されている。

【0059】<実施の形態9>以下、この発明の実施の形態9を説明する。前述の実施の形態6では、実施の形態1に係る遅延回路を用いてパルス発生回路を構成したが、この実施の形態9では、この形式の遅延回路に加えて、低V<sub>t</sub>のトランジスタを用いることにより、パルス幅の電圧依存性がなく、しかも高速に動作するパルス発生回路を説明する。

【0060】図11に、この実施の形態9に係るパルス発生回路の構成を示す。このパルス発生回路は、遅延回路D11、否定的論理ゲートG11、論理回路R11から構成される。遅延回路D11は、前述した図1(a)に示す実施の形態1に係る遅延回路と同様に構成されたものであって、p型MOSTランジスタP1101およびn型MOSTランジスタN1101からなるインバータV1101と、p型MOSTランジスタP1102からなるMOSキャパシタと、p型MOSTランジスタP1103およびn型MOSTランジスタN1102からなるインバータV1102と、n型MOSTランジスタN1103からなるMOSキャパシタと、p型MOSTランジスタP1104およびn型MOSTランジスタN1104からなるインバータV1103と、p型MOSTランジスタP1105からなるMOSキャパシタとを有する。

【0061】ここで、インバータV1101の入力部には入力信号SINが与えられる。p型MOSTランジスタP1102のゲートはインバータV1101の出力部に接続され、そのソース・ドレインは電源に接続される。また、インバータV1102の入力部は上述のインバータV1101の出力部に接続される。n型MOSTランジスタN1103のゲートはインバータV1102の出力部に接続され、そのソース・ドレインは接地される。さらに、インバータV1103の入力部は上述のインバータV1102の出力部に接続される。p型MOSTランジスタP1105のゲートはインバータV1103の出力部に接続され、そのソース・ドレインは電源に接続される。

【0062】否定的論理ゲートG11は、出力ノードBと電源との間に並列接続されたp型MOSTランジスタP1106, P1107と、この出力ノードBと接地との間に直列接続されたn型MOSTランジスタN1105, N1106から構成される。ここで、p型MOSTランジスタP1106とn型MOSTランジスタN1105のゲートには入力信号SINが与えられ、p型MOSTランジスタP1107とn型MOSTランジスタN1106のゲートには、上述の遅延回路D11の出力信号が与えられる。

【0063】論理回路R11は、インバータV110

4, V1105, V1106の3段のインバータチェーンからなる。ここで、インバータV1104は、p型MOSTランジスタP1108およびn型MOSTランジスタN1107からなり、インバータV1105は、p型MOSTランジスタP1109およびn型MOSTランジスタN1108からなり、インバータV1106は、p型MOSTランジスタP1110およびn型MOSTランジスタN1109からなる。この論理回路R11は、このパルス発生回路で生成されたパルス信号の出力状態を制御するための回路を象徴したものであって、インバータチェーンに限定されない。

【0064】上述のパルス発生回路の構成において、n型MOSTランジスタN1101, N1104, N1105, N1108およびp型MOSTランジスタP1103, P1108, P1110のゲート閾値電圧V<sub>t</sub>は低く設定され、その他のトランジスタのゲート閾値電圧は標準値に設定される。

【0065】以下、図12に示す波形図を参照しながら、この実施の形態9に係るパルス発生回路の動作を説明する。まず、時刻t01以前では、入力信号SINがLレベルにある。この状態では、遅延回路D11の出力ノードAにはHレベルが現れ、否定的論理ゲートG11の出力ノードBにもHレベルが現れており、出力信号SOUTはLレベルになっている。時刻t01において入力信号SINがHレベルに変化すると、この入力信号SINをゲートで受けるn型MOSTランジスタN1105がオン状態になる。

【0066】このとき、出力ノードAには、入力信号SINの変化がまだ現れておらず、それまでのHレベルが維持されているので、n型MOSTランジスタN1106はオン状態にある。従って、否定的論理ゲートG11の出力ノードBは、n型MOSTランジスタN1105, N1106を介してLレベルに駆動される。論理回路R11は、出力ノードBに現れたLレベルを入力し、時刻t01から時間t<sub>s</sub>後に出力信号SOUTとしてHレベルが出力される。

【0067】次に、時刻t01から遅延回路D11の遅延時間を経た後、遅延回路D11から出力ノードAにLレベルが出力される。このLレベルを入力する否定的論理ゲートG11は出力ノードBにHレベルを出力する。このHレベルを入力する論理回路R11は、時刻t02から時間t<sub>e</sub>後に出力信号SOUTとしてLレベルを出力する。

【0068】ここで、出力信号SOUTがHレベルになってからLレベルに復帰するまでの時間は、遅延回路D11の遅延時間と否定的論理ゲートG11の遅延時間と、論理回路R11の遅延時間の総和となるが、否定的論理ゲートG11と論理回路R11の遅延時間を、遅延回路D11の遅延時間に比較して十分小さく抑える。これにより、時刻t01において入力信号SINがHレベ

ルに変化することによって、遅延回路D11の遅延時間に相当するパルス幅を有する出力信号SOUTが出力されることとなる。

【0069】ところで、このパルス発生回路によれば、入力信号SINがHレベルに変化した場合、低Vtのn型MOSTランジスタN1105、低Vtのp型MOSTランジスタP1108、低Vtのn型MOSTランジスタN1108、低Vtのp型MOSTランジスタP1110が順次オン状態に変化して、出力信号SOUTとしてHレベルが出力される。従って、時間tsが小さく  
10 なり、出力信号SOUTを高速に発生することができる。しかも、この出力信号SOUTのパルス幅は、電圧依存性が緩和された遅延回路D11の遅延時間が支配するので、その電圧依存性が小さくなる。

【0070】なお、図12において、点線で示す波形は、図11に示す構成において、全てのランジスタのゲート閾値電圧を標準値に設定した場合の特性を参考的に示したものである。この場合、出力信号SOUTがHレベルになるまでの時間が遅くなり、高速性が損なわれる。また、論理回路R11での遅延時間が増加するた  
20 め、パルス幅の電源電圧依存性が高まる傾向を示すようになる。従って、図11に示すように、低Vtのランジスタを組み合わせることにより、高速性と安定性とを確保することができる。

【0071】図13に、このパルス発生回路の遅延時間tpd(ts, te)の電圧依存性を示す。同図において、実線は低Vtのランジスタを用いた場合の特性を示し、点線は標準のVtのランジスタのみを用いた場合の特性である。同図から理解されるように、時間ts  
30 および時間teのいずれについても、低Vtのランジスタを用いた場合の特性曲線の傾きがなだらかで、電源電圧依存性が小さくなっている。しかも、低Vtのランジスタを用いた場合には、入力信号SINが変化してから出力信号SOUTが変化するまでの時間tsが一層小さくなっており、出力信号が高速に発生することが分かる。

【0072】＜実施の形態10＞以下、この発明の実施の形態10を説明する。上述の実施の形態9では、入力信号SINがHレベルに変化した場合にパルス信号を発生するパルス発生回路を構成したが、この実施の形態10では、入力信号SINとしてHレベルを入力した場合に  
40 入力信号SINを遅延させてタイミングを調整するタイミング調整回路について説明する。

【0073】図14に、この実施の形態10に係るタイミング調整回路の構成を示す。このタイミング調整回路は、遅延回路D14、否定的論理積ゲートG14、論理回路R14から構成される。遅延回路D14は、p型MOSTランジスタP1401およびn型MOSTランジスタN1401からなるインバータV1401と、p型MOSTランジスタP1402からなるMOSキャパシタ  
50

と、p型MOSTランジスタP1403およびn型MOSTランジスタN1402からなるインバータV1402と、n型MOSTランジスタN1403からなるMOSキャパシタとを有する。これらの接続関係は、上述の実施の形態9に係る遅延回路D11と同様である。

【0074】否定的論理積ゲートG14は、出力ノードDと電源との間に並列接続されたp型MOSTランジスタP1404、P1405と、この出力ノードDと接地との間に直列接続されたn型MOSTランジスタN1404、N1405から構成される。ここで、p型MOSTランジスタP1405とn型MOSTランジスタN1404のゲートには入力信号SINが与えられ、p型MOSTランジスタP1404とn型MOSTランジスタN1405のゲートには、上述の遅延回路D14の出力信号が与えられる。

【0075】論理回路R14は、インバータV1403、V1404、V1405の3段のインバータチェーンからなる。ここで、インバータV1403は、p型MOSTランジスタP1406およびn型MOSTランジスタN1406からなり、インバータV1404は、p型MOSTランジスタP1407およびn型MOSTランジスタN1407からなり、インバータV1405は、p型MOSTランジスタP1408およびn型MOSTランジスタN1408からなる。この論理回路R14は、上述の実施の形態9に係る論理回路R11と同様にパルス信号の出力状態を制御するための回路を象徴したものであって、インバータチェーンに限定されない。また、上述のタイミング調整回路の構成において、n型MOSTランジスタN1401、N1405、N1406、N1408およびp型MOSTランジスタP1403、P1405、P1407のゲート閾値電圧Vtは低く設定され、その他のランジスタのゲート閾値電圧は標準値に設定される。

【0076】以下、図15に示す波形図を参照しながら、この実施の形態10に係るタイミング調整回路の動作を説明する。時刻t11以前では、入力信号SINがHレベルにある。この状態では、遅延回路D14の出力ノードCにはHレベルが現れ、否定的論理積ゲートG14の出力ノードDにはLレベルが現れており、出力信号SOUTはHレベルになっている。時刻t11において入力信号SINがLレベルに変化すると、この入力信号SINをゲートで受けるp型MOSTランジスタN1405がオン状態になり、出力ノードDにHレベルが現れる。このHレベルを入力する論理回路R14は、時刻t11から時間ts後に出力信号SOUTとしてLレベルを出力する。

【0077】次に、時刻t11から遅延回路D14の遅延時間を経た後、遅延回路D14から出力ノードCにLレベルが出力される。このLレベルを入力する否定的論理積ゲートG14のp型MOSTランジスタP1404

がオン状態となるが、既にp型MOSトランジスタP1405がオン状態にあるので、出力ノードの信号レベルはHレベルに維持される。従って、遅延回路D14の出力ノードCにLレベルが現れたとしても、出力信号SOUTは変化しない。

【0078】次に、時刻t12において入力信号SINがHレベルに変化すると、これをゲートで受けるn型MOSトランジスタN1404がオン状態となる。しかし、このとき、遅延回路D14の出力ノードCにはLレベルが現れているので、これをゲートで受けるn型MOSトランジスタN1405がオフ状態にある。従って、出力ノードDはHレベルを維持する。

【0079】次に、時刻t12から遅延回路D14の遅延時間を経た後、遅延回路D14から出力ノードCにHレベルが出力される。このHレベルをゲートで受けるn型MOSトランジスタN1405はオン状態となる。このとき、n型MOSトランジスタN1404は既にオン状態にあるので、出力ノードDはn型MOSトランジスタN1404、N1405を介してLレベルに駆動される。このLレベルを入力する論理回路R14は、時刻t12から時間tE後に出力信号SOUTとしてHレベルを出力する。

【0080】ここで、入力信号SINがHレベルに変化してから出力信号SOUTがHレベルに変化するまでの時間は、遅延回路D14の遅延時間と否定的論理積ゲートG14の遅延時間と、論理回路R14の遅延時間の総和となるが、否定的論理ゲートG14と論理回路R14の遅延時間を、遅延回路D14の遅延時間に比較して十分小さく抑える。これにより、時刻t12において入力信号SINがHレベルに変化してから出力信号SOUTがHレベルに変化するまでの時間tEは、電源電圧依存性の小さな遅延回路D14の遅延時間に支配される。従って、時間tEの電源電圧依存性が小さくなる。

【0081】また、入力信号SINが時刻t11でLレベルに変化した場合、低Vtのp型MOSトランジスタP1405、低Vtのn型MOSトランジスタN1406、低Vtのp型MOSトランジスタP1407、低Vtのn型MOSトランジスタN1408が順次オン状態に変化して、出力信号SOUTとしてLレベルが出力される。従って、時間tSが小さくなり、出力信号SOUTを高速に発生することができる。

【0082】なお、図15において、点線で示す波形は、図14に示す構成において、全てのトランジスタのゲート閾値電圧を標準値に設定した場合の特性を参考的に示したものである。この場合、出力信号SOUTがLレベルになるまでの時間tSが遅くなり、高速性が損なわれる。また、論理回路R14での遅延時間が増加するため、パルス幅の電源電圧依存性が高まる傾向を示すようになる。従って、図14に示すように、低Vtのトランジスタを組み合わせてることにより、高速性と安定性と

を確保することができる。

【0083】以上、この発明の実施の形態を説明したが、この発明は、これらの実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。例えば、上述の実施の形態9では、入力信号SINがHレベルに変化した場合にパルス信号を発生するものとしたが、Lレベルに変化した場合にパルス信号を発生するようにしてもよい。また、上述の実施の形態10では、入力信号がHレベルに変化した場合にこの入力信号を遅らせるものとしたが、Lレベルに変化した場合に遅らせるようにしてもよい。さらに、遅延回路の出力信号を縮退させるためのゲート回路を設け、例えばスタンバイモードにおいては回路を非活化するものとしてもよい。

【0084】

【発明の効果】この発明によれば、以下の効果を得ることができる。すなわち、ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、前記論理信号の論理レベルがロウレベルの場合とハイレベルの場合とで遅延時間が異なる遅延特性を有し、前記ロウレベル及びハイレベルの論理レベルのうち、遅延時間が短い方の論理レベルを遅延対象とする遅延系を備えたので、電源電圧が低下しても遅延時間が過剰に増加せず、遅延時間の増加を抑制することが可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1にかかる遅延回路の構成を示す回路図である。

【図2】 この発明の実施の形態2にかかる遅延回路の構成を示す回路図である。

【図3】 この発明の実施の形態3にかかる遅延回路の構成を示す回路図である。

【図4】 この発明の実施の形態4にかかる遅延回路の構成を示す回路図である。

【図5】 この発明の実施の形態5にかかる遅延回路の構成を示す回路図である。

【図6】 この発明の実施の形態6にかかる遅延回路の構成を示す回路図である。

【図7】 この発明の実施の形態7にかかる遅延回路の構成を示す回路図である。

【図8】 この発明の実施の形態8にかかる遅延回路を説明するための回路図である。

【図9】 この発明の実施の形態8にかかる遅延回路の変形例を示す回路図である。

【図10】 この発明の実施の形態8にかかる遅延回路の他の変形例を示す回路図である。

【図11】 この発明の実施の形態9にかかるパルス発生回路の構成を示す回路図である。

【図12】 この発明の実施の形態9にかかるパルス発生回路の動作を説明するための波形図である。

【図13】 この発明の実施の形態9にかかるパルス発

23

生回路の電源電圧依存性を説明するための特性図である。

【図14】 この発明の実施の形態10にかかるタイミング調整回路の構成を示す回路図である。

【図15】 この発明の実施の形態10にかかるタイミング調整回路の動作を説明するための波形図である。

【図16】 従来技術にかかる遅延回路の構成例を示す回路図である。

【図17】 遅延回路と共に半導体装置に搭載される論理回路系の一例を示す回路図である。

【図18】 遅延回路と論理回路系との電源電圧依存性の違いを説明するための特性図である。

【符号の説明】

V11～V14, V41, V42, V44, V46, V51: インバータ

V71, V72, V81, V82, V91～V94: インバータ

V1101～V1106, V1401～V1405: インバータ

V43, V45: 否定的論理和ゲート

\* V61, V63: 論理積ゲート

V62: 否定的論理積ゲート

D51, D52, D53, D54, D61, D62: 遅延系

D11, D14: 遅延回路

G11, G14: 否定的論理積ゲート

N11, N12, N21, N22, N31, N32: n型MOSトランジスタ

N41, N42, N51, N52: n型MOSトランジスタ

N73, N91～N93: n型MOSトランジスタ

N1101～N1109, N1401～N1408: n型MOSトランジスタ

P1101～P1110, P1401～P1408: p型MOSトランジスタ

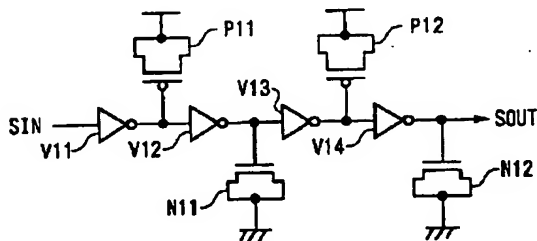
P11, P12, P21, P22, P31, P32: p型MOSトランジスタ

P51, P52, P72, P91～P93: p型MOSトランジスタ

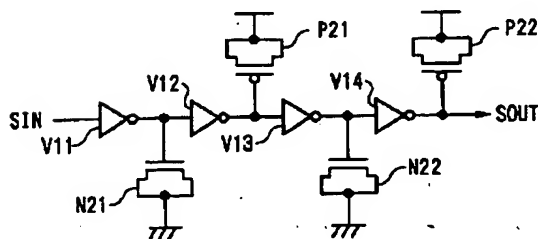
\*20 R11, R14: 論理回路

【図1】

(a)

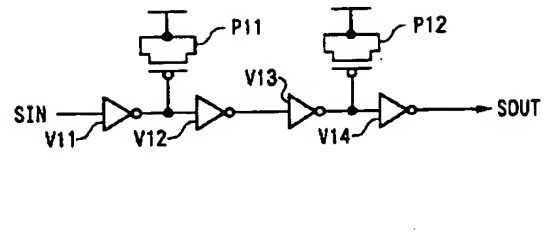


(b)

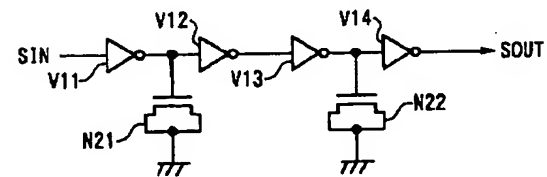


【図2】

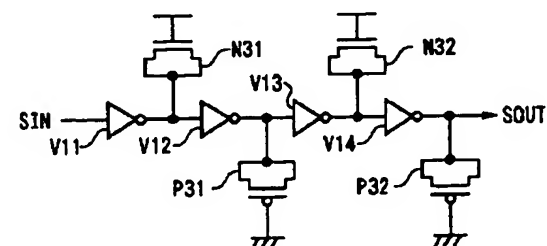
(a)



(b)

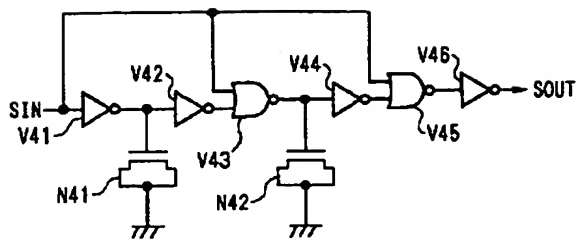


【図3】

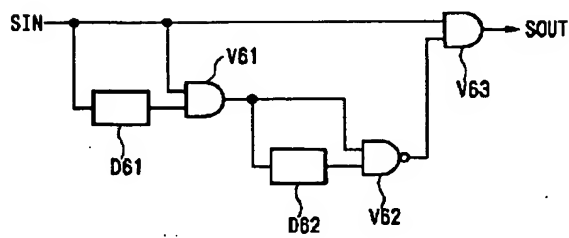




【図4】

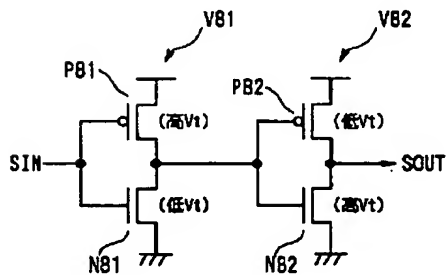


【図6】

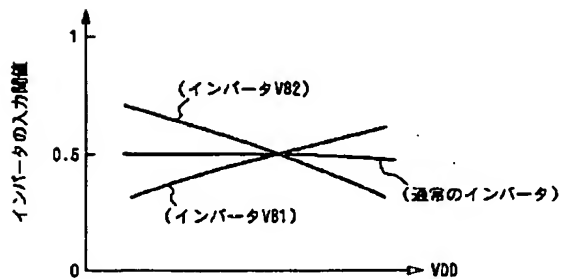


【図8】

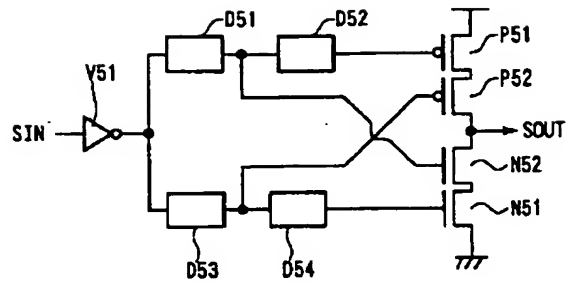
(a)



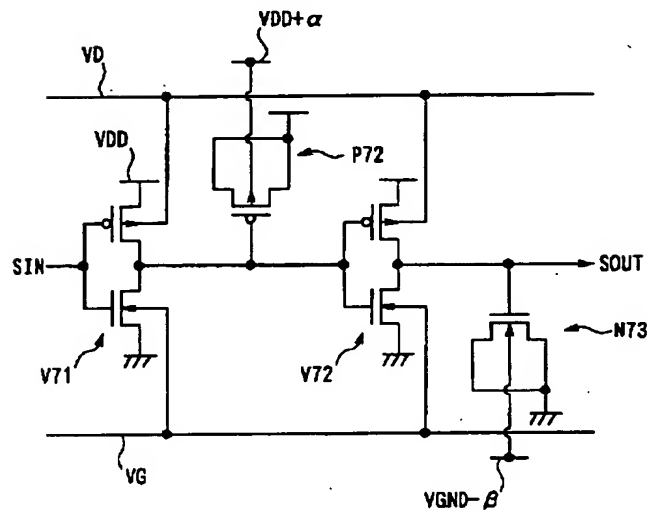
(b)



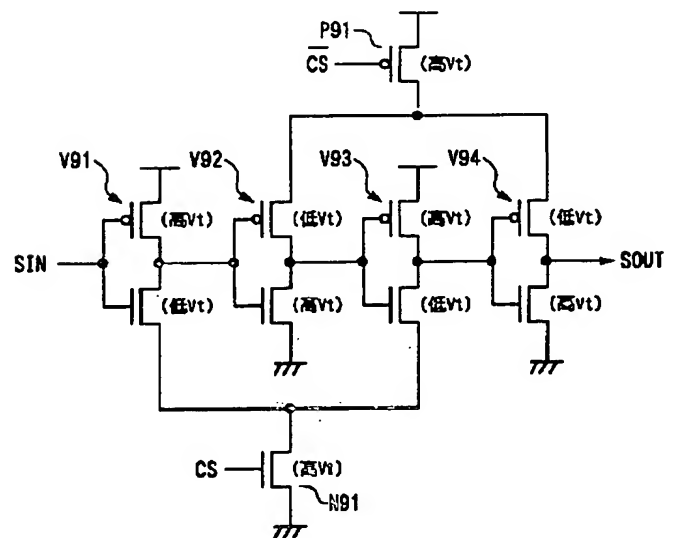
【図5】



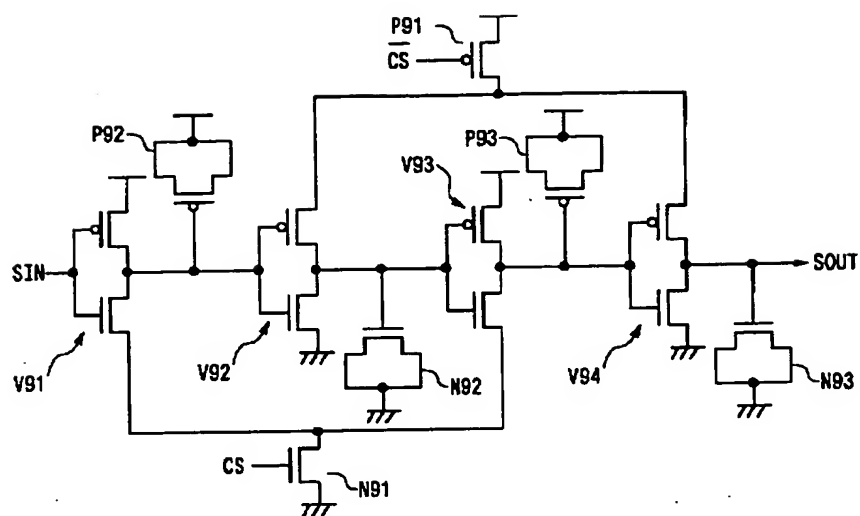
【図7】



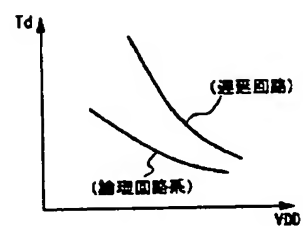
【図9】



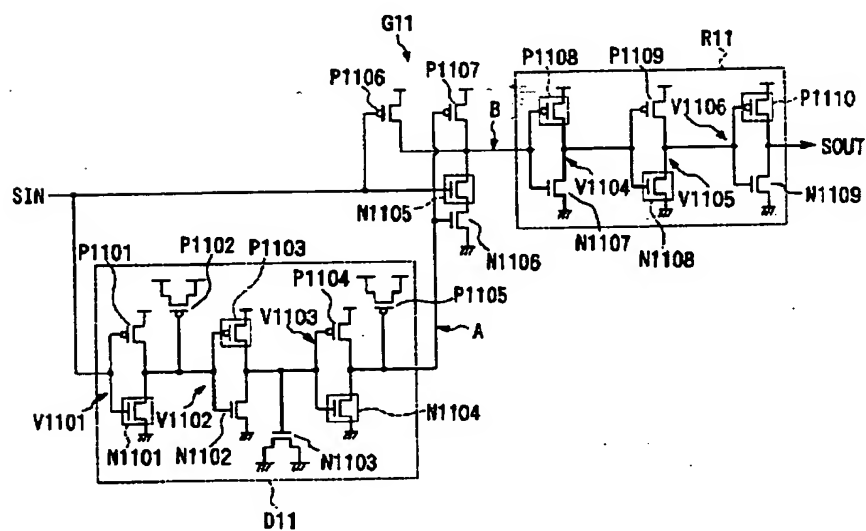
【図10】



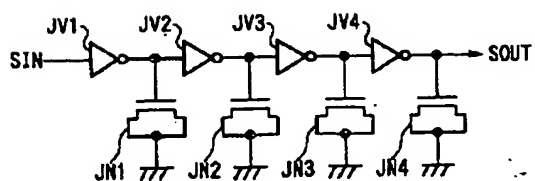
【図18】



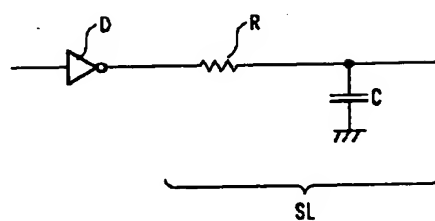
【図11】



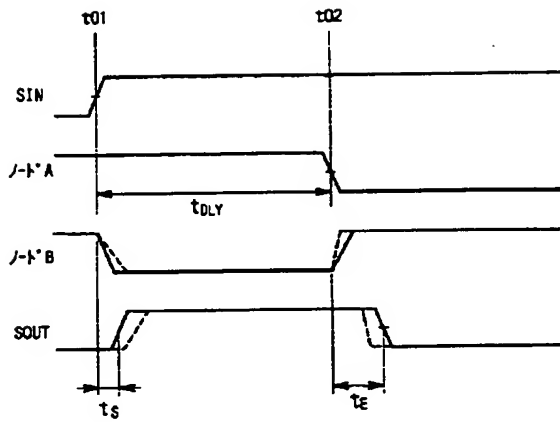
【図16】



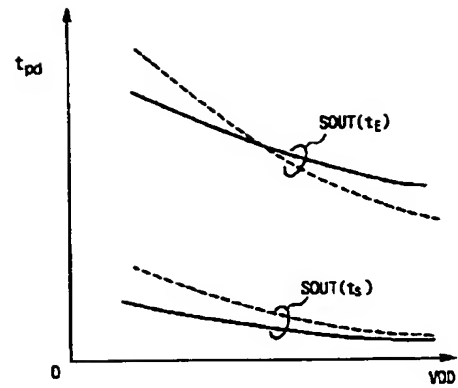
【図17】



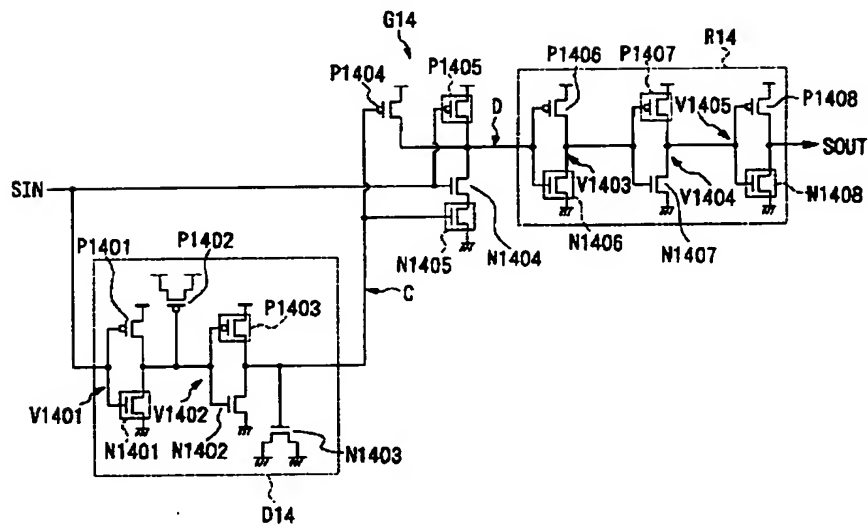
【図12】



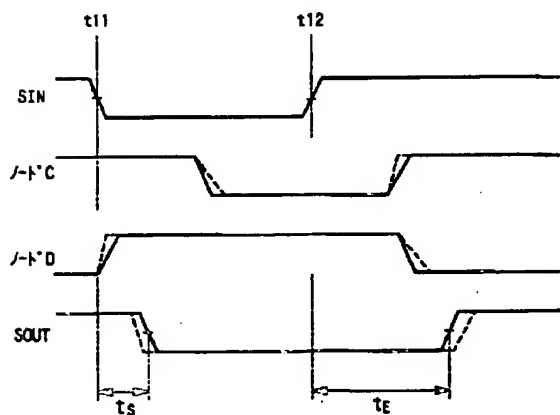
【図13】



【図14】



【図15】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**